

**Guía docente de la asignatura**

Asignatura	DISEÑO DE CIRCUITOS BASADOS EN DISPOSITIVOS LÓGICOS PROGRAMABLES		
Materia	ELECTRÓNICA PARA COMUNICACIONES		
Módulo			
Titulación	MÁSTER EN INGENIERÍA DE TELECOMUNICACIÓN		
Plan	544	Código	
Periodo de impartición	1º CUATRIMESTRE	Tipo/Carácter	OBLIGATORIA
Nivel/Ciclo	MÁSTER	Curso	1º
Créditos ECTS	6 ECTS		
Lengua en que se imparte	CASTELLANO		
Profesor/es responsable/s	Ruth Pinacho Gómez		
Datos de contacto (E-mail, teléfono...)	TELÉFONO: 983 423000 ext. 5505 E-MAIL: rutpin@tel.uva.es		
Horario de tutorías	Véase www.uva.es → Másteres → Ingeniería de Telecomunicación → Tutorías		
Departamento	DEPARTAMENTO DE ELECTRICIDAD Y ELECTRÓNICA		



1. Situación / Sentido de la Asignatura

1.1 Contextualización

Hoy en día, el extraordinario desarrollo alcanzado por las tecnologías de integración MOS junto con la sistematización de los procesos de diseño y la disponibilidad de eficaces herramientas CAD han permitido que el diseño de los circuitos integrados de aplicación específica ASIC sea realizado por los propios usuarios de los mismos. Por tanto, cualquier empresa puede incorporar a los productos que fabrica, circuitos integrados propios, diseñados específicamente para el producto en cuestión y pensados desde la perspectiva de mejorar, ampliar y personalizar las prestaciones del producto.

Dentro del diseño ASIC, la utilización de lógica programable (CPLDs y FPGAs) resulta muy adecuada para el desarrollo de prototipos y para la fabricación de sistemas digitales individuales o de pequeñas series de los mismos, mientras, que para la producción de grandes series resulta preferible, por motivos económicos, fabricar, en lugar de programar el circuito integrado específico.

El proceso de diseño de un ASIC dentro de una matriz de lógica programable consiste en configurar mediante sofisticadas herramientas de software las conexiones entre las versátiles celdas estándar que las constituyen mediante las herramientas CAD. Este proceso de programación es borrable y reprogramable. De este modo, el tiempo de diseño y depuración del circuito disminuye drásticamente, así como también su precio, ya que no implica la fabricación y sucesivas correcciones de ningún circuito integrado.

Así pues, es importante que el alumno conozca el proceso completo de diseño de circuitos electrónicos digitales en matrices de lógica programable ya que está ampliamente extendido en la industria electrónica tanto para el diseño de prototipos para el test funcional de un determinado diseño como también para la implementación del ASIC en sí mismo.

1.2 Relación con otras materias

Esta asignatura está especialmente relacionada con el resto de las asignaturas de la materia "Electrónica para Comunicaciones" ya que en ella se diseñarán componentes digitales básicos para comunicaciones

1.3 Prerrequisitos

No existen condiciones previas excluyentes para cursar esta asignatura, aunque sí recomendaciones lógicas que el alumno debería tener en cuenta. Se presupone que el alumno tiene un amplio conocimiento de diseño de Electrónica Digital, especialmente unidades de control, adquiridos durante sus estudios de grado.



2. Competencias

2.1 Generales

- G7. Capacidad para la puesta en marcha, dirección y gestión de procesos de fabricación de equipos electrónicos y de telecomunicaciones, con garantía de la seguridad para las personas y bienes, la calidad final de los productos y su homologación.
- G8. Capacidad para la aplicación de los conocimientos adquiridos y resolver problemas en entornos nuevos o poco conocidos dentro de contextos más amplios y multidisciplinarios, siendo capaces de integrar conocimientos.
- G11. Capacidad para saber comunicar (de forma oral y escrita) las conclusiones- y los conocimientos y razones últimas que las sustentan- a públicos especializados y no especializados de un modo claro y sin ambigüedades.
- G12. Poseer habilidades para el aprendizaje continuado, autodirigido y autónomo.

2.2 Específicas

- SE1. Capacidad para diseñar y fabricar circuitos integrados.
- SE2. Conocimiento de los lenguajes de descripción hardware para circuitos de alta complejidad.
- SE3. Capacidad para utilizar dispositivos lógicos programables, así como para diseñar sistemas electrónicos avanzados, tanto analógicos como digitales. Capacidad para diseñar componentes de comunicaciones como por ejemplo encaminadores, conmutadores, concentradores, emisores y receptores en diferentes bandas.



3. Objetivos

Al finalizar la asignatura el alumno deberá ser capaz de:

- Diseñar circuitos digitales de aplicación específica.
- Conocer y utilizar los lenguajes de descripción hardware para circuitos de alta complejidad.
- Analizar y corregir en la medida de lo posible las limitaciones temporales inherentes a los dispositivos lógicos digitales
- Utilizar las distintas herramientas CAD para el diseño y depuración de circuitos digitales en dispositivos de lógica programable.
- Utilizar dispositivos lógicos programables para diseñar sistemas electrónicos digitales avanzados.
- Diseñar componentes de comunicaciones.





4. Tabla de dedicación del estudiante a la asignatura

ACTIVIDADES PRESENCIALES	HORAS	ACTIVIDADES NO PRESENCIALES	HORAS
Clases teórico-prácticas (T/M)	12	Estudio y trabajo autónomo individual	20
Clases prácticas de aula (A)	12	Estudio y trabajo autónomo grupal	70
Laboratorios (L)	36		
Prácticas externas, clínicas o de campo	0		
Seminarios (S)	0		
Tutorías grupales (TG)	0		
Evaluación (fuera del periodo oficial de exámenes)	0		
Total presencial	60	Total no presencial	90



5. Bloques temáticos

Bloque Único: DISEÑO DE CIRCUITOS BASADOS EN DISPOSITIVOS LÓGICOS PROGRAMABLES

Carga de trabajo en créditos ECTS: 6

a. Contextualización y justificación

Esta asignatura consta de un único bloque y por tanto no es necesario su contextualización y justificación dentro de la asignatura.

b. Objetivos de aprendizaje

Esta asignatura consta de un único bloque que comprende, por tanto, objetivos de aprendizaje de la asignatura completa (ver página anterior)

c. Contenidos

TEMA 1: Lógica Programable

- 1.1- Fundamentos
- 1.2- Historia del diseño lógico
- 1.3- Tecnologías básicas de la lógica programable
- 1.4- CPLDs
- 1.5- FPGAs.
- 1.6- CPLDs vs FPGAs
- 1.7- Fabricantes. Familias de chips de ALTERA

TEMA 2: Metodología de Diseño

- 2.1- Introducción
- 2.2- Herramienta: Quartus II de ALTERA
- 2.3- Proyectos
- 2.4- Introducción del diseño
- 2.5- Compilación
- 2.6- Ajustes de síntesis y fitting
- 2.7- Programación
- 2.8- Otras herramientas

TEMA 3: Análisis y Síntesis

- 3.1- Captura esquemática
- 3.2- Lenguaje Verilog – Nivel estructural y RTL
- 3.3- Diagramas ASM para las máquinas de estado finitas
- 3.4- Simulación funcional

TEMA 4: Consideraciones Temporales

- 4.1- Introducción: Tiempos de delay, setup, hold
- 4.2- Terminología de TimeQuest – Timing Paths
- 4.3- La señal de reloj: clocking
- 4.4- Setup Slack y Hold Slack
- 4.5- Recovery and Removal Slack



4.6- Test generados por TimeQuest Timing Analyzer

4.7- Introducción de Constrains (fichero .sdc)

TEMA 5: Depuración on-chip

5.1. Programación. Introducción del diseño en el kit de desarrollo

5.2. Depuración sobre el chip. Módulo SignalTap II

d. Métodos docentes

- Clase magistral participativa - Se prevé, para esta parte, introducir metodologías activas de participación en las clases, a través de la realización de pequeños proyectos tutorizados, de forma que el alumno vaya construyendo su base de conocimientos a medida que se progresa en el conocimiento de la asignatura. Para ello, por ejemplo, se hará especial hincapié en que el alumno desarrolle la parte teórica de las prácticas de laboratorio como paso previo ineludible para su realización.
- Aprendizaje colaborativo en las clases de laboratorio

e. Plan de trabajo

Véase el Anexo I.

f. Evaluación

La evaluación de la adquisición de competencias se basará en:

- Observación sistemática de la realización de las prácticas en las sesiones de laboratorio.
- Valoración del informe realizado por grupos de alumnos en el laboratorio.
- Prueba escrita al final del cuatrimestre.

g. Bibliografía básica

- Michael D. Ciletti, *Modeling, Synthesis and Rapid Prototyping with the Verilog HDL*. ed., Prentice Hall, 1999.
- J. M. Lee, *Verilog Quickstart*, 3rd. ed. Kluwer Academic Publishers, 2002.
- Tutoriales y manuales proporcionados por Altera a través de su programa para Universidades.
<http://www.altera.com/education/univ/unv-index.html>
- J.P. Hayes, *Introducción al Diseño Lógico Digital*, Addison-Wesley, 1996.

h. Bibliografía complementaria

- T. Pollán Santamaria, *Electrónica Digital*, Prensas Universitarias de Zaragoza, 1994.
- R.J. Tocci, *Sistemas Digitales: Principios y Aplicaciones*, 10ª ed., Prentice Hall, 2007.
- H. Taub, *Circuitos Digitales y Microprocesadores*, McGraw-Hill, 1990.
- Manual de Quartus II (herramienta EDA de Altera)

i. Recursos necesarios

Se utilizarán, cuando el profesor lo estime conveniente, los siguientes recursos, todos ellos facilitados por el mismo o la UVa:

- Transparencias en las clases magistrales
- Documentación de apoyo para la realización de problemas de aula y prácticas de laboratorio



- Kit de desarrollo de diseños en FPGAs: placa de circuito impreso que contiene un chip de lógica programable y toda la circuitería auxiliar para su programación y depurado. Software para el diseño completo



6. Temporalización (por bloques temáticos)

BLOQUE TEMÁTICO	CARGA ECTS	PERIODO PREVISTO DE DESARROLLO
Bloque Único: DISEÑO DE CIRCUITOS BASADOS EN DISPOSITIVOS LÓGICOS PROGRAMABLES	6 ECTS	Semana 1 -15

7. Sistema de calificaciones – Tabla resumen

INSTRUMENTO/PROCEDIMIENTO	PESO EN LA NOTA FINAL	OBSERVACIONES
Valoración de la destreza en el manejo de la instrumentación de laboratorio y de la habilidad para resolver dificultades	70%	Se valorará mediante observación sistemática en las propias sesiones de laboratorio, junto con las memorias y resúmenes realizados. Es condición necesaria (pero no suficiente) para superar la asignatura alcanzar una calificación igual o superior al 50% en este apartado
Examen final escrito	30%	Es condición necesaria (pero no suficiente) para superar la asignatura alcanzar una calificación igual o superior al 50% en el examen final escrito

Si el alumno no supera alguno de los dos recursos, la nota final será la del recurso no superado ponderada sobre 10.

En el caso de la convocatoria extraordinaria:

- En caso de haber superado algún recurso en la convocatoria ordinaria, se mantiene la calificación obtenida en éste mientras que se realizará un examen individual para calificar el recurso no superado.
- En caso de no haber superado ninguno de los dos recursos, el alumno deberá presentarse a sendos exámenes: teórico y práctico (laboratorio) y obtener una calificación del 50% o superior en cada uno de ellos, para superar la asignatura

8. Consideraciones finales

- El Anexo I mencionado en la guía, donde se describe la planificación detallada, se entregará al comienzo de la asignatura.